

Процессорные технологии без ограничений

Якушкин Сергей, Syntacore, 2024

Компания Syntacore

Разработка и лицензирование современных процессорных технологий с архитектурой RISC-V

- От open-source микроконтроллеров до высокопроизводительных CPU
- Эффективные инструменты разработки и необходимое программное обеспечение
- Сооснователь и Premier участник RISC-V International
- Сооснователь и участник российского Альянса RISC-V

2015

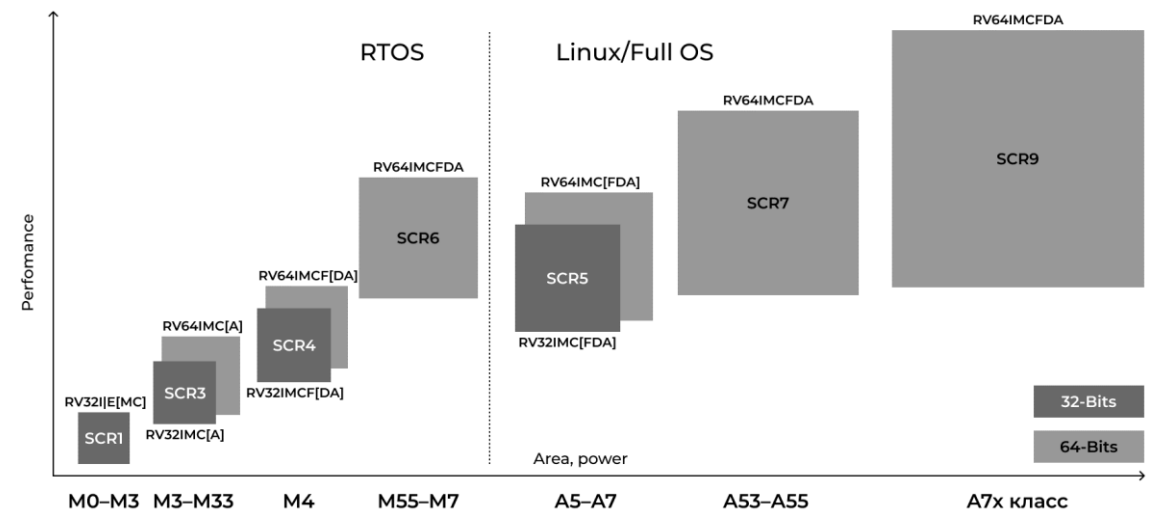
год основания

35+

клиентских проектов

200+

сотрудников





Якушкин Сергей

Директор по разработке программного обеспечения

- Выпускник кафедры системного программирования СПбГУ (А.Н. Терехова)
 - компиляторы, языки и оптимизации
 - средства проектирования MCU/CPU
 - операционные системы
- Руководитель технологического комитета RISC-V Альянса
- Участник управляющего комитета RISC-V International

Сердце процессорной архитектуры - Система Команд (ISA)

Интерфейс с программным обеспечением

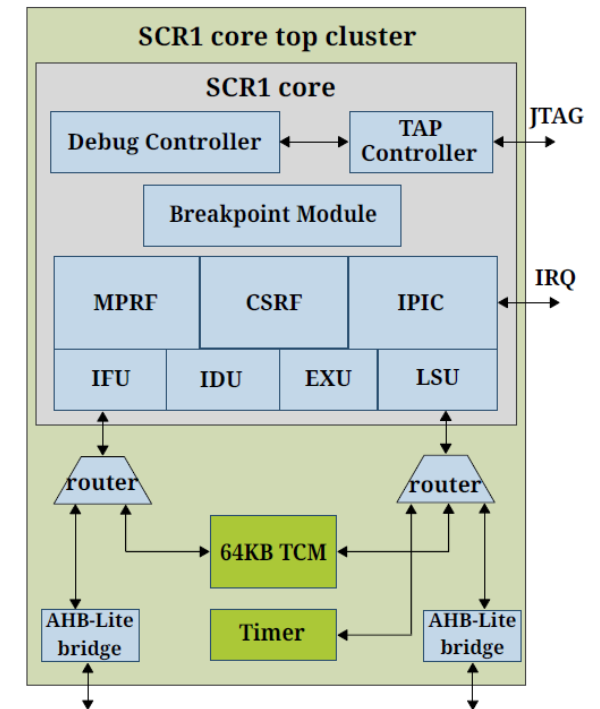
Уровни архитектуры процессора

- Макро-архитектура (ISA) – операции, компоненты и их взаимодействие
- Микро-архитектура (uarch) – детали реализации, обычно невидимые для ПО

Привилегированные команды (Privileged ISA)

- Unprivileged команды – вычисления, управление, чтения и записи
- Privileged команды – поддержка операционной системы, виртуализации, безопасности

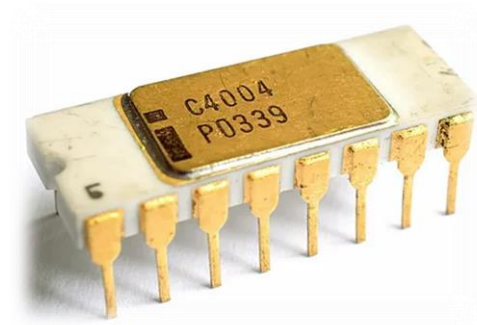
Архитектура на примере MCU SCR1



<https://github.com/syntacore/scr1>

Первая архитектура Complex Instruction Set Computer (CISC)

- Команды реализуют сложные операции
- **Intel 4004** (1971) – первый микропроцессор
 - создан для калькулятора
 - выделенный аккумулятор
 - 40+ команд
 - Десятичная арифметика
 - Нет деления и умножения
- **Intel 8086** (1978)
 - Несколько регистров
 - 81 сложных команд
 - 100,000,000 PC продаж
 - Бинарная SW
 - совместимость



Появление Reduced Instruction Set Computer (RISC)

- Оказалось скомпилированные программы используют небольшое подмножество команд
- Сложные команды используют редко, можно эффективно заменить на несколько
- Это улучшает работу компилятора и HW конвейера
- RISC-I (1982) – первая реализация в Berkley University, D. Patterson (начальные идеи от IBM)

 RISC-V



Закон Мура: удвоение транзисторов каждые 2 года

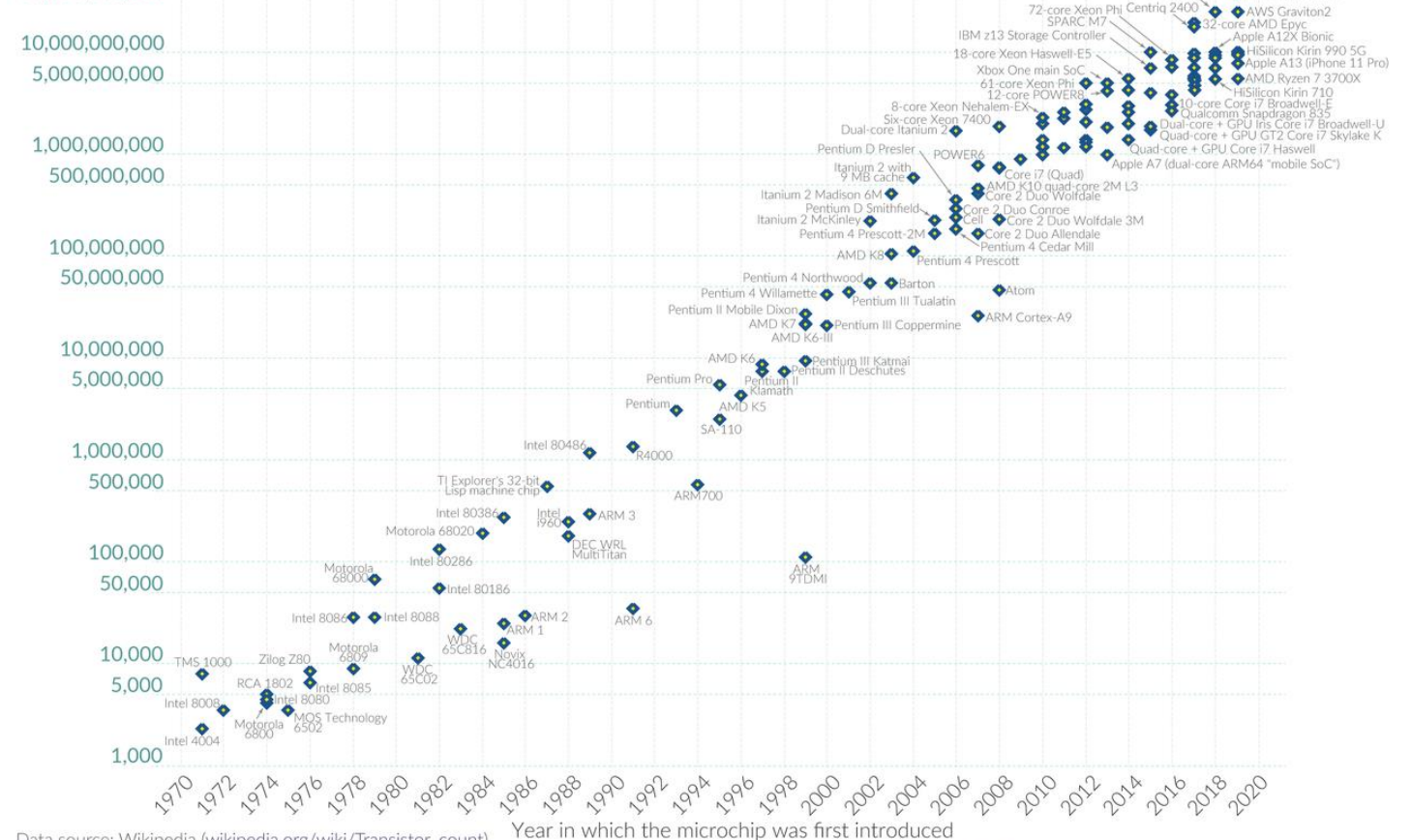
- Эмпирическое наблюдение
- Почти 50 лет работает с небольшими поправками
- Транзисторы уменьшаются, но может ли это бесконечно продолжаться?

Moore's Law: The number of transistors on microchips doubles every two years

Our World in Data

Moore's law describes the empirical regularity that the number of transistors on integrated circuits doubles approximately every two years. This advancement is important for other aspects of technological progress in computing – such as processing speed or the price of computers.

Transistor count



Data source: Wikipedia (wikipedia.org/wiki/Transistor_count)

OurWorldinData.org – Research and data to make progress against the world's largest problems.

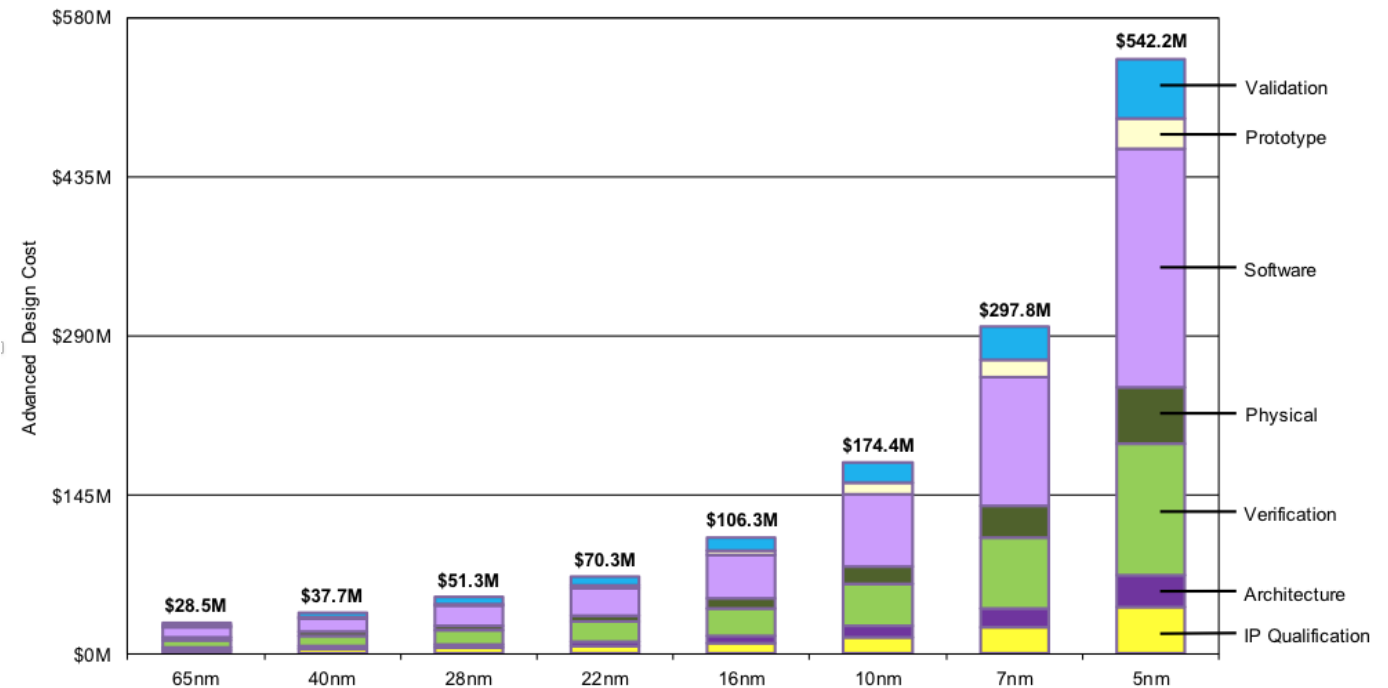
Licensed under CC-BY by the authors Hannah Ritchie and Max Roser.

Физический предел это размер атома кремния 0.24nm

Стоимость исследований и производствакратно растет

Решения:

- Специализированные процессоры для разных задач (например, ИИ)
- Индивидуальная разработка специализированного процессора – очень дорого



source: Handel Jones, chief executive of International Business Strategies (IBS)

Современные микропроцессоры

x86/x86-64

- CISC (internally now RISC)
- Владельцы: Intel (x86), AMD (x86-64)
- Разработчики: Intel, AMD, Cyrix, Zhaoxin
- Производители СнК: Intel, TSMC и др



ARM (v7/v8/v9)

- RISC
- Владельцы: ARM
- Разработчики: ARM, Apple, Qualcomm, Samsung
- Производители СнК: TSMC, Samsung и др.



Вызовы современных процессорных архитектур

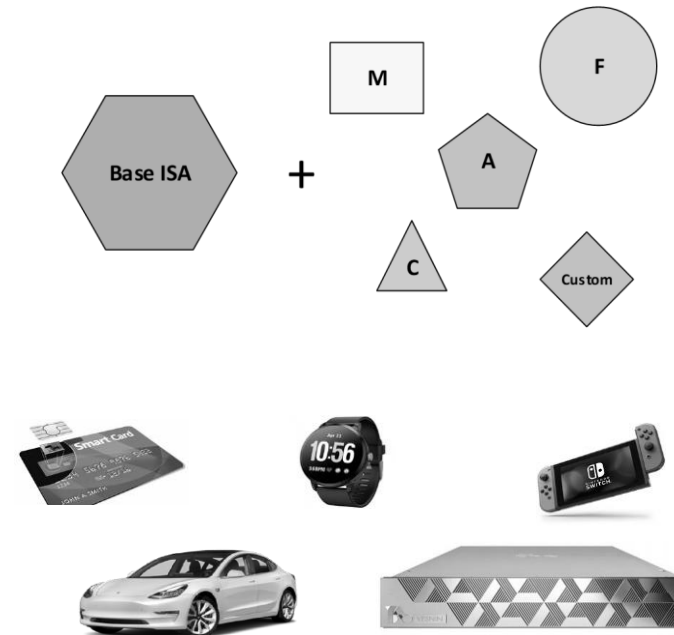
Вызовы	x86 Intel AMD	ARM Qualcomm Apple	PowerPC IBM	ARC Synopsys
Описание системы команд	проприетарная	проприетарная	проприетарная	Закрытая
Непрозрачные циклы обновления	частично	частично	частично	внутри компании
Ограниченное влияние пользователей	слабое влияние крупных клиентов	слабое влияние крупных клиентов	контроль вендора	контроль вендора
Модульность	ограничена	ограничена	ограничена	множество настроек
Расширяемость	через производителя	через производителя	через производителя	разработчик
Экосистема без фрагментации	специализация	специализация	специализация	сильно фрагментирована

Появление RISC-V (2011)

5-е поколение от RISC-I, накопленный за ~30 лет опыт развития RISC архитектур и программного обеспечения

Свободная и открытая процессорная архитектура

Универсальная — от смарт-карт до высокопроизводительных серверов



Система команд RISC-V

Базовый набор команд	Размер регистров в битах, данные и адреса	Количество регистров	Размер инструкций в битах
RV32E	32	16	32
RV32I	32	32	32
RV64I	64	32	32
RV128I	128	32	32

Интуитивно понятная запись команд удобна для обучения

sub rd, rs1, rs2

команда вычитания ($rd = rs1 - rs2$)

rd регистр результата

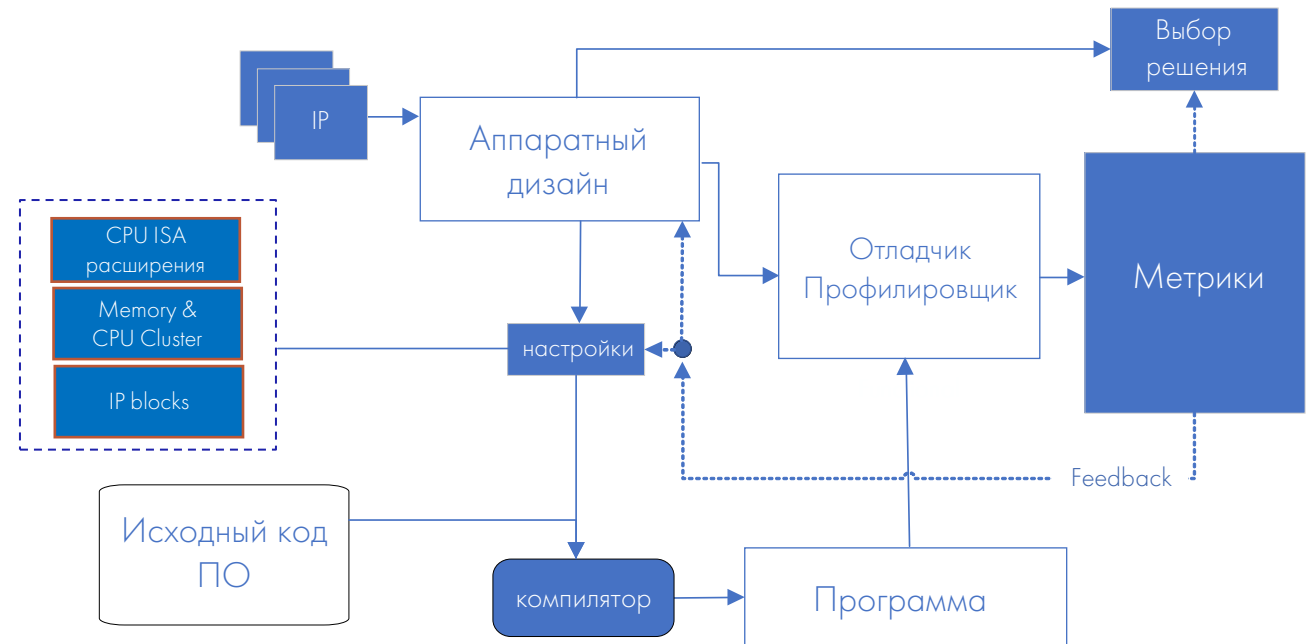
rs1, rs2 регистры входных операндов

Факторы успеха: эффективная специализация

Модульная архитектура позволяет удалить ненужные части

Глубокая специализация вычислений, памяти, управления

Экосистема поставщиков готовых компонент снижает стоимость



Расширения RISC-V

Популярные расширения:

- M – умножение и деление MUL/MULH[[S]U], MULW, DIV/REM[[U]W]
- V – векторные команды и 32 векторных регистра, гибкая альтернатива SIMD
- B – битовые команды из 4 подгрупп Zba, Zbb, Zbc, Zbs

Базовый набор расширений для Linux-class OS: RV64IMAFDC

- A – атомарные операции
- F – плавающие числа одинарной точности
- D – плавающие числа двойной точности
- C – компактные 16-битные команды

Пример REV8 из расширения Zbb

```
1 #include <stdint>
2
3 void apply_bswap32(uint32_t &val)
4 {
5     val = __builtin_bswap32(val);
6 }
7
```

bswap32/bswap64:
перестановка байт в числе
в обратном порядке

Пример: ffmpeg, кодеки,
конвертация little-endian в
big-endian формат данных

```
RISC-V rv64gc clang (trunk) -O3 -march=rv64gc
1 apply_bswap32(unsigned int&):
2     lwu    a1, 0(a0)
3     srli  a2, a1, 8
4     lui   a3, 16
5     addiw a3, a3, -256
6     and   a2, a2, a3
7     srli  a3, a1, 24
8     or    a2, a2, a3
9     slli  a3, a1, 8
10    lui   a4, 4080
11    and   a3, a3, a4
12    slli  a1, a1, 24
13    or    a1, a1, a3
14    or    a1, a1, a2
15    sw    a1, 0(a0)
16    ret
```

-march=rv64gc

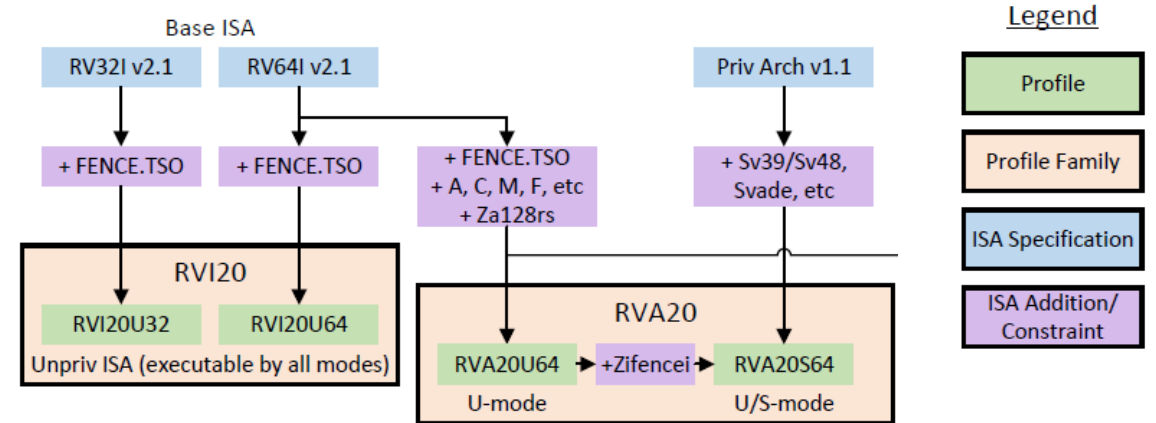
```
RISC-V rv64gc clang (trunk) -O3 -march=rv64gc_zbb
1 apply_bswap32(unsigned int&):
2     lw    a1, 0(a0)
3     rev8  a1, a1
4     srli  a1, a1, 32
5     sw    a1, 0(a0)
6     ret
```

rev8:
одна инструкция

-march=rv64gc_Zbb

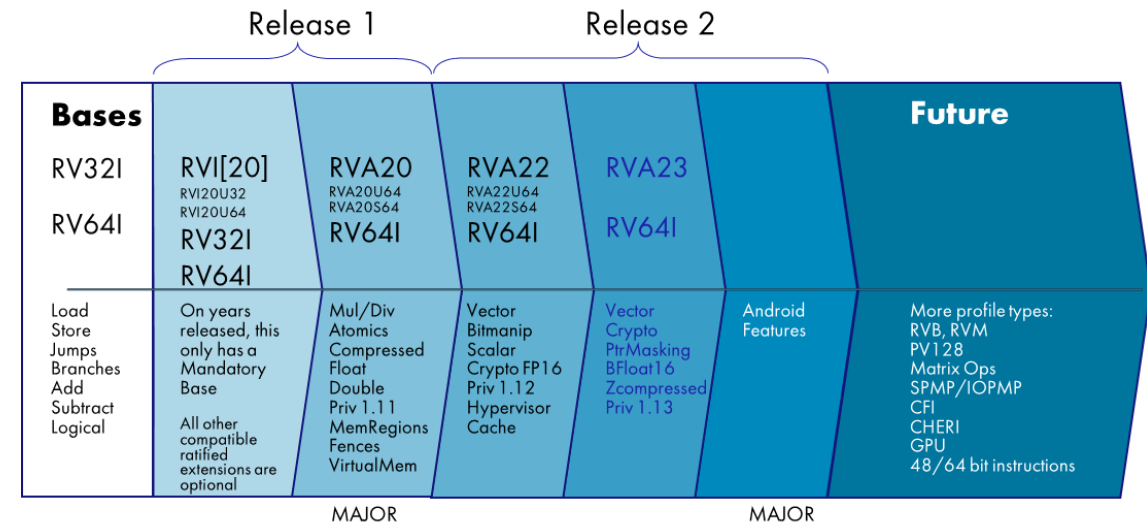
Факторы успеха: гибкость без фрагментации экосистемы

Стандартные профили и платформы определяют требования к ISA расширениям и окружению для ключевых областей применения

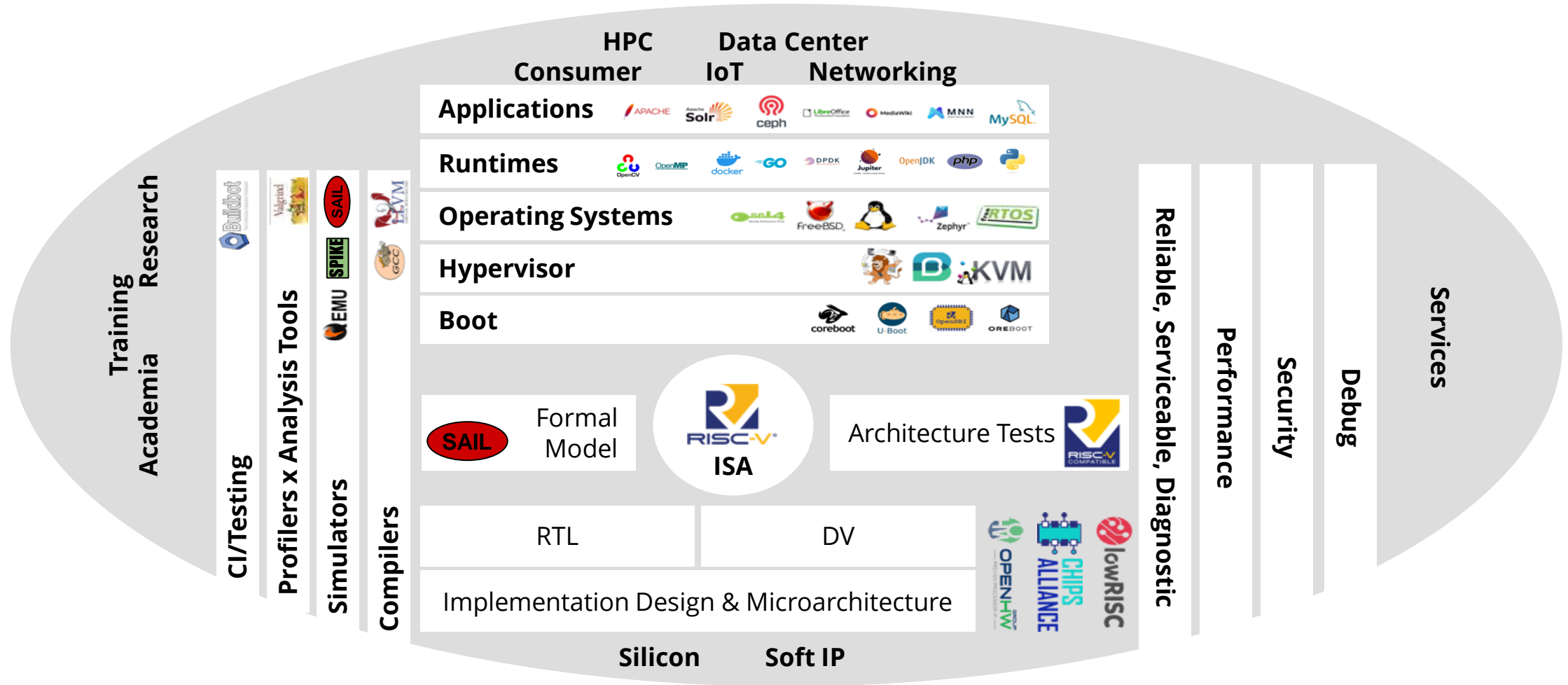


Обеспечивает

- Независимую разработку HW/SW
- Интероперабельность
- Прямая и обратная совместимость



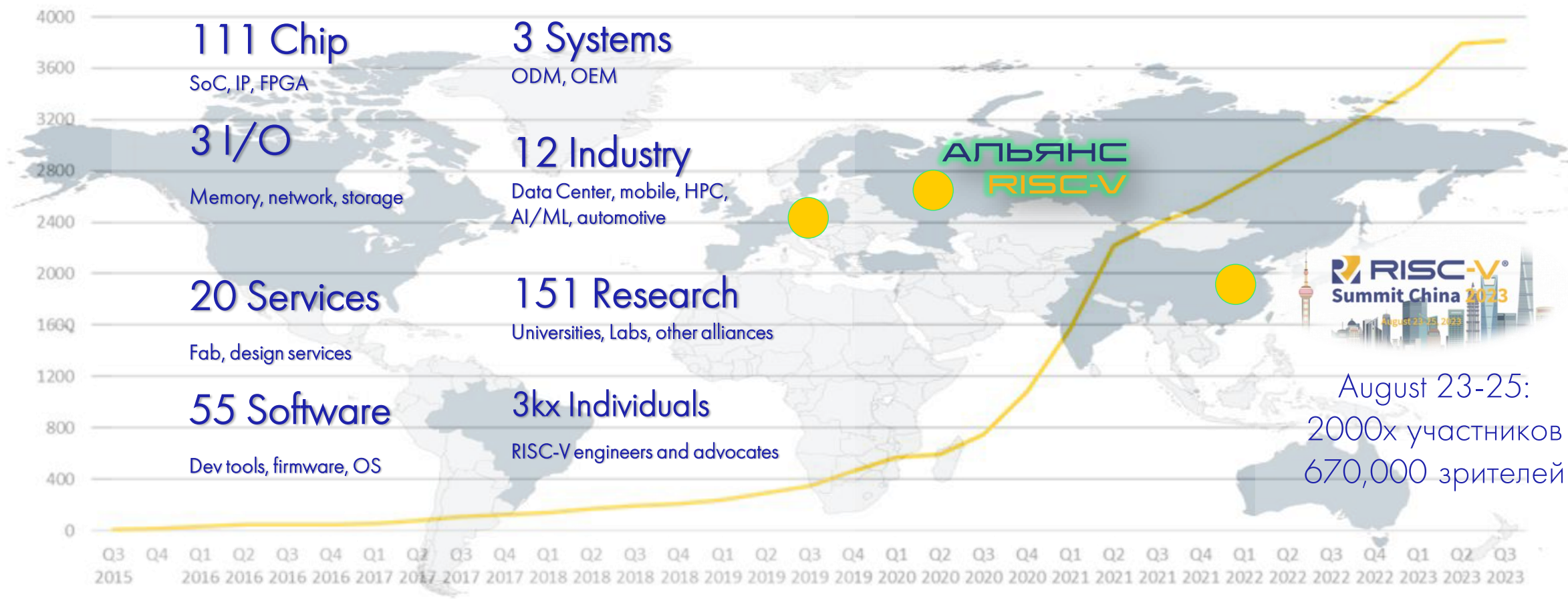
Факторы успеха: экосистема основана на открытых стандартах



Факторы успеха: большое открытое сообщество

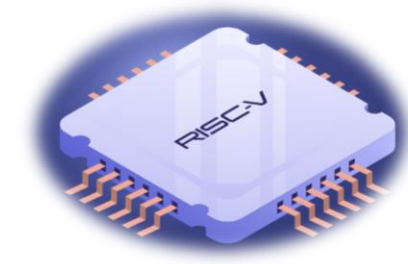
Более 4000 участников из более 70 стран

Сильные региональные сообщества в Китае, Индии, Европе, России



RISC-V Альянс

- Объединение разработчиков вычислительной техники и программного обеспечения на основе архитектуры RISC-V
- Развитие сообщества разработчиков
 - участие в фундаментальных исследованиях
 - развитие российской экосистемы RISC-V
- Проекты: обучающие курсы, митапы, аналитика, платы
- Новые университеты и компании активно присоединяются



<https://riscv-alliance.ru>

ПРИСОЕДИНИТЬСЯ К АЛЬЯНСУ

Текущий перечень активностей и направлений не является исчерпывающим.
Мы будем рады обсудить предложения по развитию экосистемы RISC-V
и возможностям вступления в Альянс.

Электронная почта

Организация

Письмо

Я согласен с Политикой обработки персональных данных

ОТПРАВИТЬ ЗАЯВКУ

Факторы успеха: лучшие эксперты

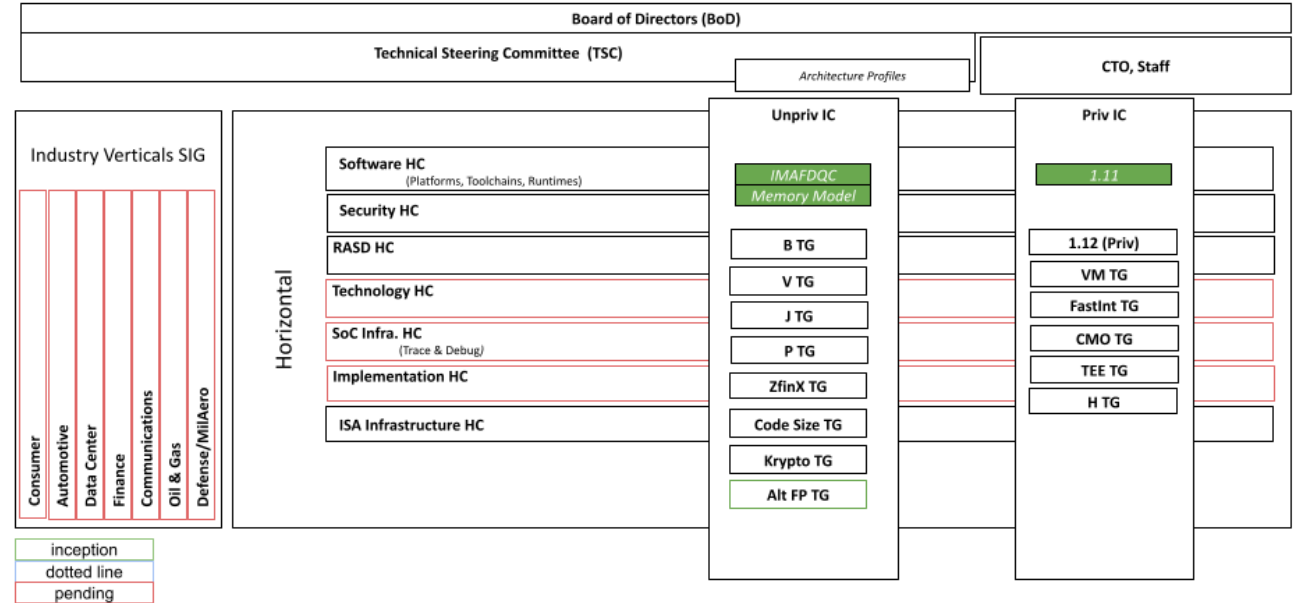
Лучшие эксперты в мире в своих областях совместно создают новые стандарты в 70+ группах

Ведущие архитекторы успешных продуктов

- Apple M1
- AMD Zen

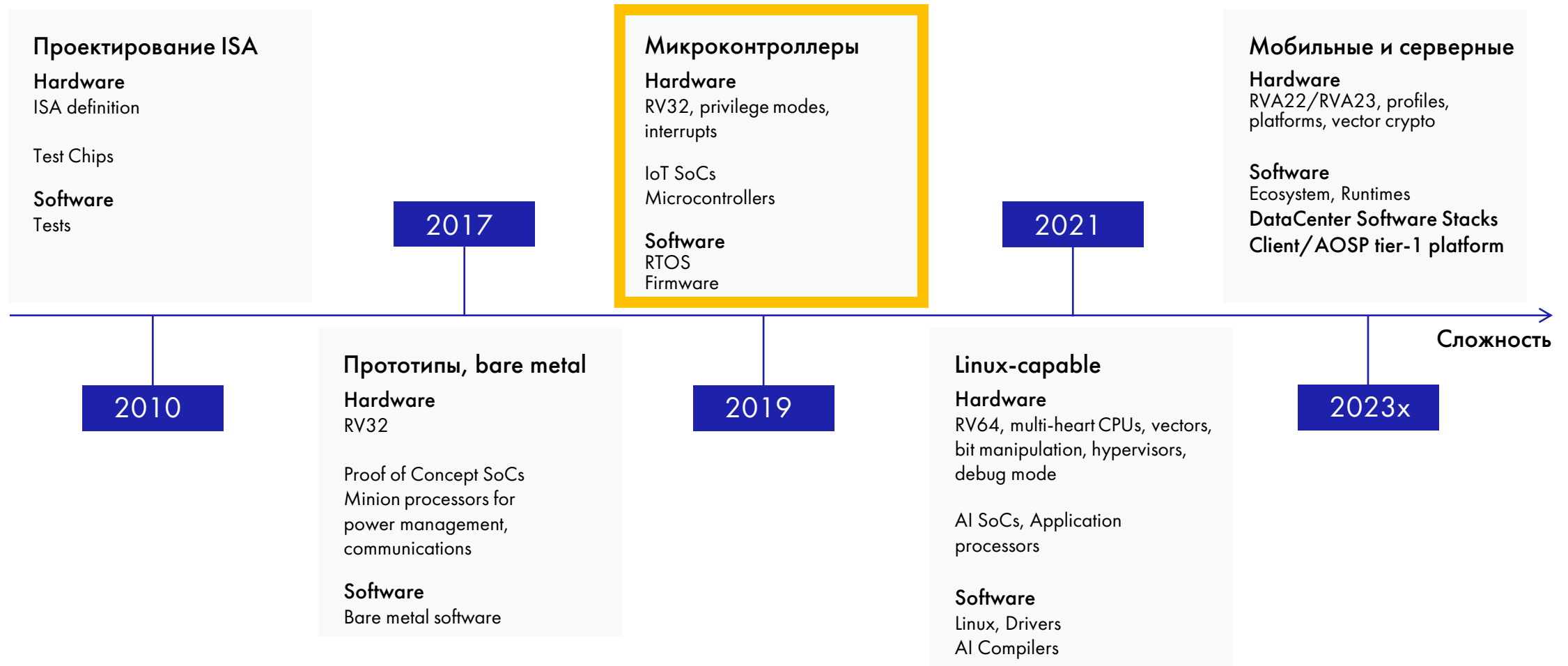


Technical Organization



<https://wiki.riscv.org>

Этапы развития RISC-V и продукты



Применения во встроенных системах и IoT

Многие устройства содержат RISC-V

Доступны коммерческие и open-source RISC-V MCU, в том числе российские

Производители заменяют проприетарные процессоры на RISC-V

- стоимость
- расширяемость



Каждый смартфон Pixel 6
содержит чип
безопасности Titan M2



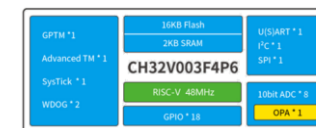
Alibaba T-Head и Alipay
анонсировали выпуск
процессоров для
платёжных терминалов



Беспроводная СнК ESP32-
С6 с поддержкой Wi-Fi 6 и
Bluetooth 5.0



China Mobile
представила первую в
мире **СнК LTE Cat.1**



Микроконтроллер CH32V003 с
16КБ FLASH от WCH, 2КБ
SRAM за **10 центов**

Развитая экосистема для встроенных применений

Интегрированные среды разработки



Средства отладки и трассировки



Компиляторы и библиотеки



Операционные системы

Syntacore Development Toolkit

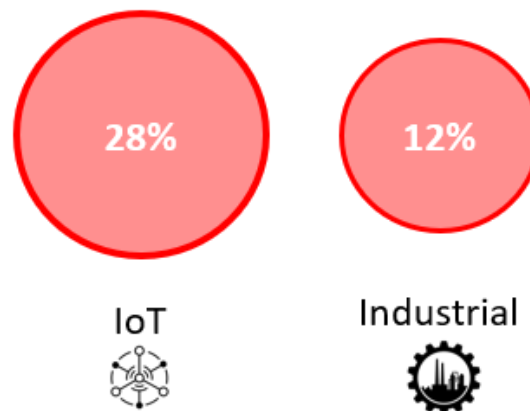
- улучшенная поддержка RISC-V
- стабильность компилятора и инструментов
- оптимизации для микро-архитектуры SCR



Syntacore Development Toolkit (SC-DT)

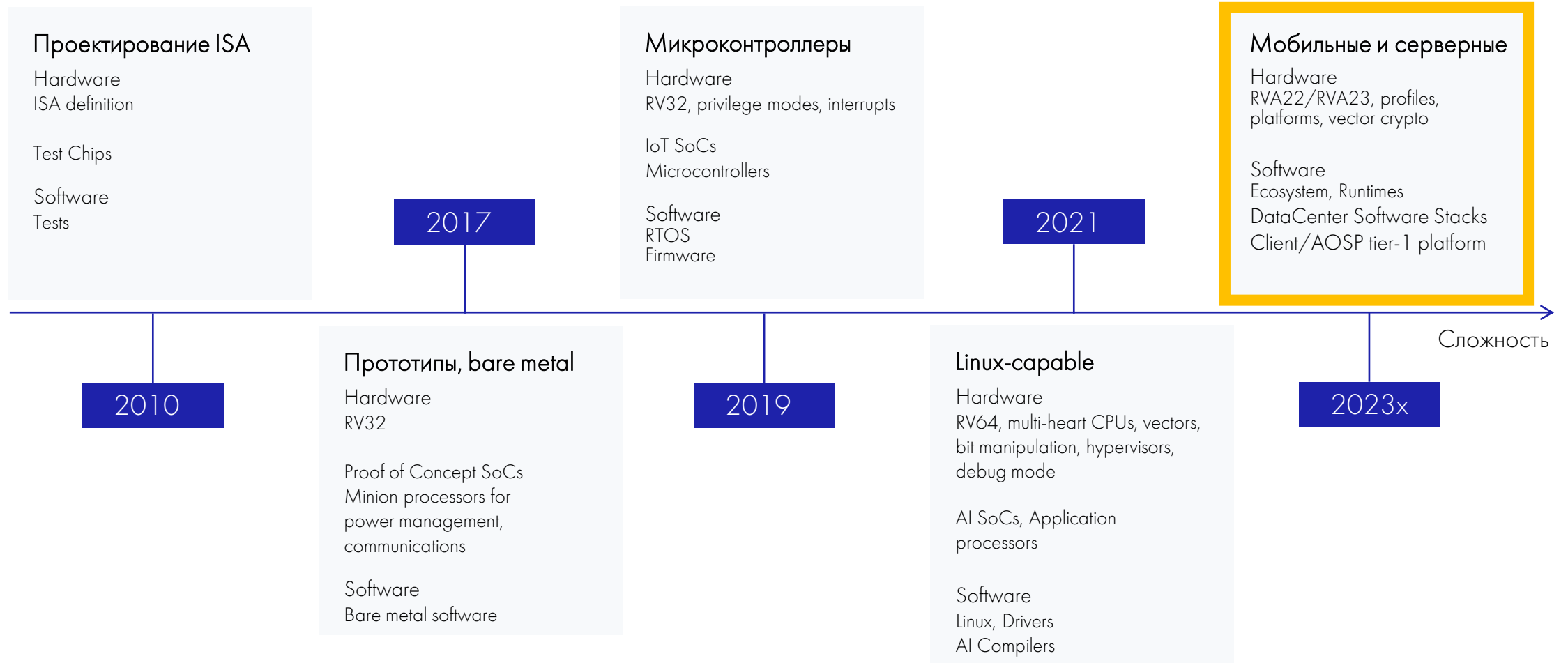
По оценкам до 30% рынка IoT к 2025

Компании активно объединяются для развития специализированных расширений и экосистемы



** RISC-V International, Omdia Research, etc.*

Этапы развития RISC-V и продукты



Первые мобильные устройства и ноутбуки на RISC-V



Официальные поставки
DC-ROMA на
процессоре RISC-V



Анонсирован планшет
LicheePad4A с Android 13
(AOSP) на RISC-V

Ведущие ОС работают над поддержкой RISC-V

- Android Open Source Project
- Linux, Debian и производные
- HarmonyOS



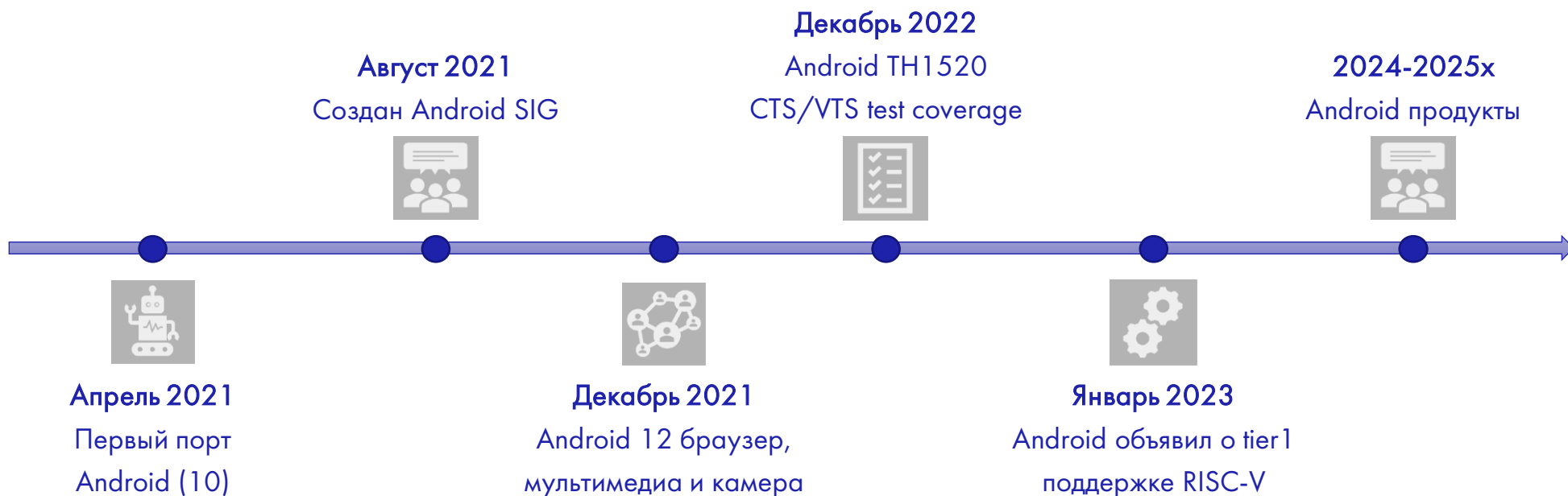
Google официально
объявил о поддержке
Android на RISC-V



Qualcomm и Google
анонсировали разработку
первых СнК для платформы
носимых устройств
Snapdragon Wear

Дорожная карта AOSP для RISC-V

Рабочая группа Android SIG в RISC-V International координирует разработку



Серверные применения RISC-V

- Появляются первые серверные продуктовые решения
- Прототипы с лучшим соотношением Perf/Watt (\$) чем x86/ARM
- Активное развитие экосистемы и стандартов



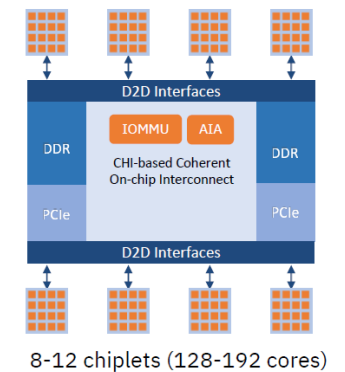
Серверный RISC-V процессор SG2042
– 64 hiperf ядер,
64МБ кэш памяти, 2 ГГц тактовая частота

2048 cores
32T flops
8 X HS-S1 Server



PerfXLab

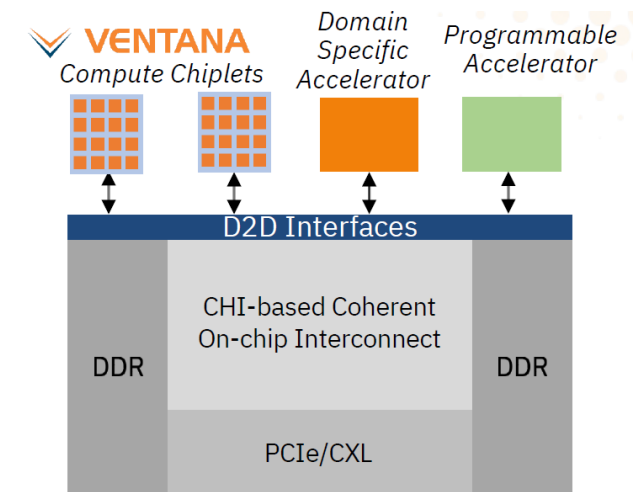
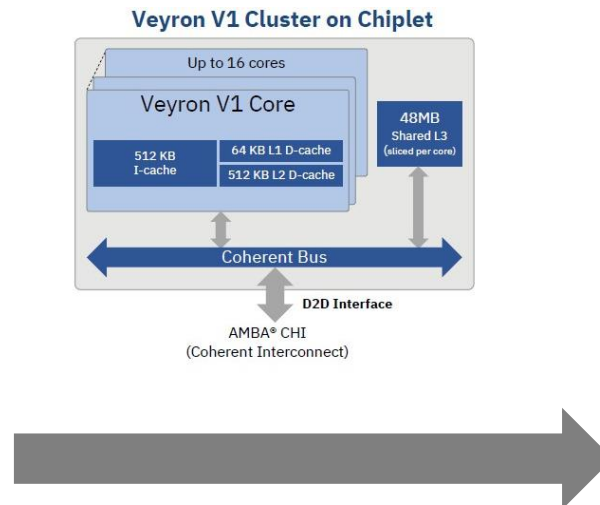
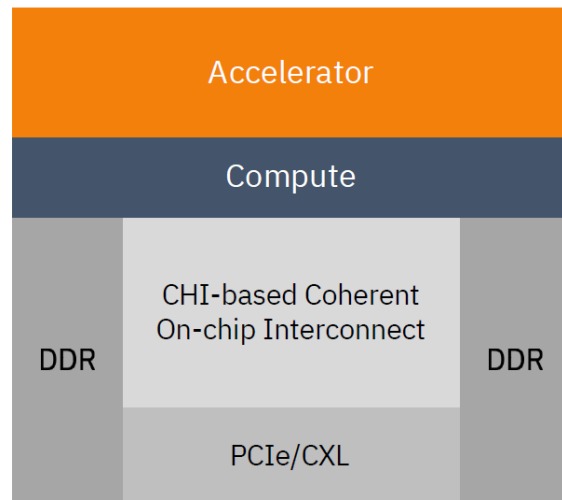
Сервер от Sophgo –
8x2U server 1024 ядер,
KVM, Switch на базе
RISC-V процессора
SG204



3,5 ГГц Veyron V1
процессор от Ventana
Micro для Automotive, 5G
Open RAN,
AI и Data Center

Лучшее соотношение Performance/W(\$)

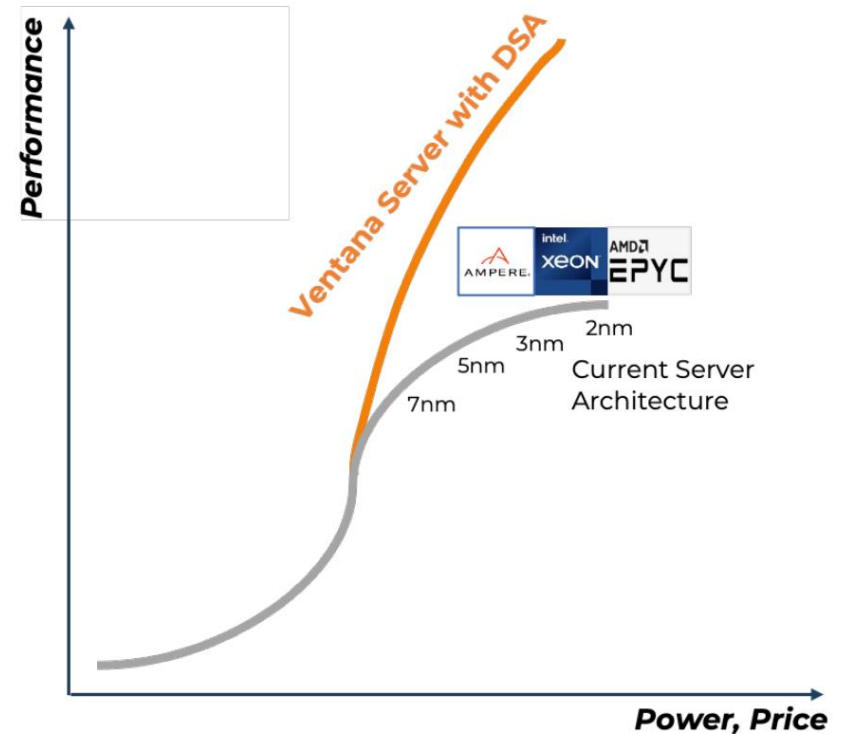
- Гибкая Расширяемая платформа
- Эффективная Domain-Specific Акселерация
- Chiplets технология



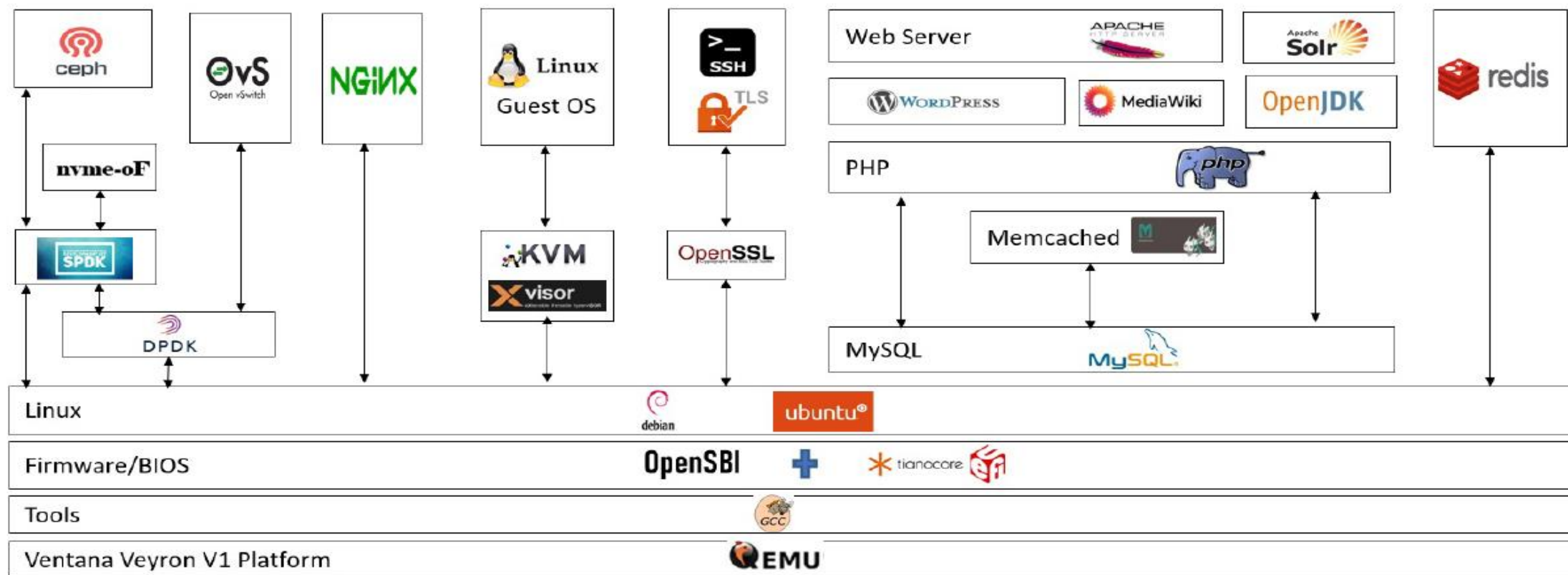
Лучшее соотношение Performance/W(\$)

По сравнению с монолитной
Системой на Кристалле

- разработка в 3 раза быстрее
- стоимость создания в 5 раз меньше



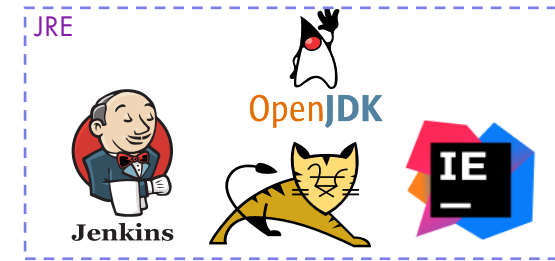
Пример серверного программного стека



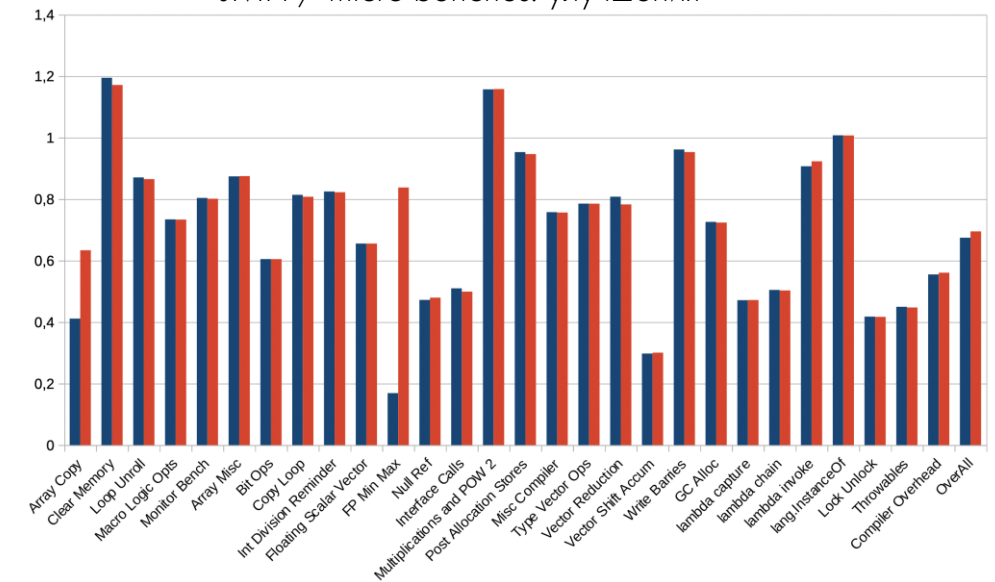
* Ventana

Развитие OpenJDK

- OpenJDK JEP 422: Linux/RISC-V Port
 - шаблонный интерпретатор и C1/C2 JIT
 - все сборщики мусора (включая ZGC и ShenandoahGC)
- Поддержка RISC-V ISA в upstream (wip)
 - Bitmanip (+Zba +Zbb +Zbs) и работа с кэш (+Zicboz)
 - J extension (Zjpm, Zjid) – расширения для runtimes/языков
- Стабильная сборка от Syntacore
 - совместимость с SCRx и оптимизации



JMH / micro benches: улучшения

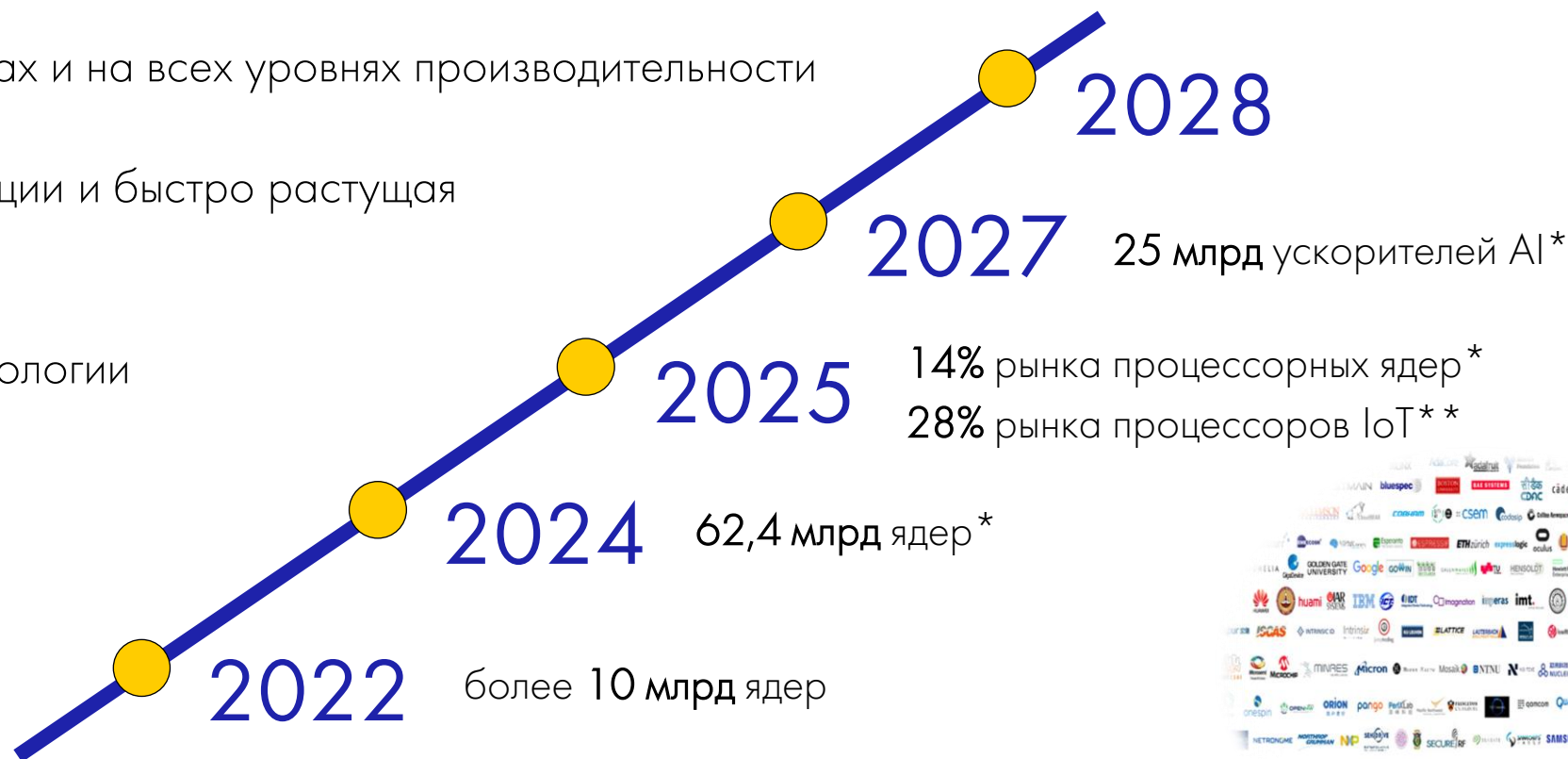


RISC-V неизбежен

Спрос во всех сегментах и на всех уровнях производительности

Существенные инвестиции и быстро растущая экосистема

Быстрое развитие технологии совместными усилиями большого количества экспертов



* Semico Research, December 2021

** Counterpoint Technology Market Research, September 2021

*** Omdia Research, May 2023

RISC-V в вашей жизни

- Знание набирающей популярность архитектуры и умение ее применять будет преимуществом в карьере (<https://riscv-alliance.ru/riscv-edu-content>)
 - Обучающие курсы и лекции по основам RISC-V
 - Оптимизация и портирование приложений, вычислительных библиотек и AI
- А можете развивать основы технологий с нами (<https://riscv-alliance.ru/meetup-risc-v>)
 - Разработка операционной системы и системного программного обеспечения
 - Инструменты проектирования процессорных ядер, модели и симуляторы
 - Оптимизации компилятора и runtimes (Java, JavaScript, Go, и др)